

#2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Takashi Saito

Docket: 14653

Serial No.: Unassigned

Dated: May 25, 2001

Filed: Herewith

For: SCHEDULING CIRCUIT

Assistant Commissioner for Patents
Washington, DC 20231



CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application 2000-154718, filed on May 25, 2000.

Respectfully submitted,

Paul J. Esatto, Jr.
Registration No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, NY 11530
(516) 742-4343
PJE:dra

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Mailing Label Number: EL 823707142 US
Date of Deposit: May 25, 2001

I hereby certify that this correspondence is being deposited with the United States Postal Service Express Mail Post Office to Addressee service under 37 C.F.R. '1.10 on the date indicated above and is addressed to the Assistant Commissioner of Patents and Trademarks, Washington, D.C. 20231.

Dated: May 25, 2001



Michelle Mustafa

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC903 U.S. PTO
09/865219
05/25/01

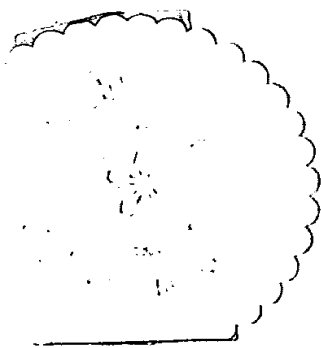
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 5月25日

出 願 番 号
Application Number: 特願2000-154718

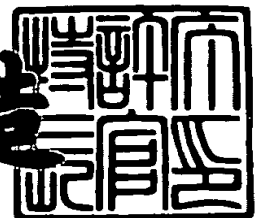
出 願 人
Applicant(s): 日本電気株式会社



2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3029645

【書類名】 特許願

【整理番号】 47201454

【提出日】 平成12年 5月25日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/28

【発明の名称】 スケジューリング回路

【請求項の数】 5

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号
日本電気株式会社内

 【氏名】 斉藤 孝史

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100081710

 【弁理士】

 【氏名又は名称】 福山 正博

【手数料の表示】

 【予納台帳番号】 025276

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9500874

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 スケジューリング回路

【特許請求の範囲】

【請求項 1】

受信した I P パケットの I P スケジューリングを行うと共に前記 I P パケットから A T M セルへのフォーマット変換を行う I P スケジューリング部／フォーマット変換部と、該 I P スケジューリング部／フォーマット変換部のパケット F I F O から A T M セルに分割されたセルが書き込まれる複数のセル F I F O と、該セル F I F O からの 1 セル単位の出力を受けて A T M スケジューリングする A T M スケジューリング部とを備えることを特徴とするスケジューリング回路。

【請求項 2】

前記 A T M スケジューリング部は、あるセルがスケジューリングされる際に同一 V C I の次セルの論理的送出時刻が算出され、該算出値により前記セルがスケジューリングされないと判定されると、前記セル F I F O に対して入力禁止信号を送出することを特徴とする請求項 1 に記載のスケジューリング回路。

【請求項 3】

前記 I P スケジューリング部／フォーマット変換部の前記パケット F I F O がオーバーフローした場合の廃棄は、前記 I P スケジューリング部／フォーマット変換部によりパケット単位で行うことを特徴とする請求項 1 又は 2 に記載のスケジューリング回路。

【請求項 4】

前記 A T M スケジューリング部は、前記 A T M セルの V C I をセルのヘッダから識別するセル到着識別部を備えることを特徴とする請求項 1、2 又は 3 に記載のスケジューリング回路。

【請求項 5】

前記 A T M スケジューリング部は、更に V C I 番号を時間単位で管理する論理的送出時刻管理メモリ、現在時刻を生成する現在時刻カウンタ、到着セルの現在時刻および論理的送出時刻を比較する論理的送出時刻比較/更新回路、セルの送出時刻を決定する送出時刻決定回路、前記セル到着識別部の出力を受け、前記現

在時刻カウンタが生成する現在時刻および前記送出時刻決定回路からの送出時刻によりスケジューリングされたA T Mセルを送出する競合制御メモリを備えることを特徴とする請求項4に記載のスケジューリング回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はスケジューリング回路、特にA T M（非同期転送モード）通信ネットワークにおけるスケジューリング回路に関する。

【 0 0 0 2 】

【従来の技術】

A T M通信ネットワークにおけるスケジューリング回路の従来技術の例は、例えば特開平11-340983号公報の「スケジューリング回路および方法」および1999年電子情報通信学会総合大会講演論文集通信2「B-8-12」等に表示されている。

【 0 0 0 3 】

A T M上にI P（インターネットプロトコル）がマッピングされている伝送網および装置では、接続される対向の装置やネットワークに対してトラフィックが過負荷とならないように、装置の出力側にてI PパケットおよびA T Mセル単位でそれぞれ申告値により設定されるトラフィックレートを基準値に適当な遅延を付加させる。トラフィックを平滑化させるための一連の処理、即ちスケジューリングを行い、送出するデータを制御する必要がある。

【 0 0 0 4 】

従来のスケジューリング回路は、例えば図4に示す如く、I Pスケジューリング部41、フォーマット変換部42およびA T Mスケジューリング部43より構成される。最初に、I Pパケット単位で行う処理の一連として、I Pスケジューリング部41にてI Pパケットのスケジューリングを行っている。次に、I PパケットからA T Mセルに変換するフォーマット変換部42で、A T Mセルへの変換を行う。そして、A T Mスケジューリング部43にてA T Mセル単位でのスケジューリングを行っている。A T Mスケジューリング部43において、スケジュー

ーリングされないセルが発生した場合には、該当 V C I（仮想チャネル識別子：Virtual Channel Identifier）に輻輳が生じたものと判断し、セル単位に廃棄される。

【 0 0 0 5 】

【発明が解決しようとする課題】

上述した従来手法におけるスケジューリングの課題として、データグラムの廃棄が、I P パケットおよび A T M セルの各スケジューリング部 4 1、4 3 において行なわれることである。そのため、トラフィックの状況によっては、過剰的にデータグラムが廃棄されることとなる。これを、図 5 を参照して説明する。それぞれセル長が 3、2、4 および 4 である I P パケット 1、2、3 および 4 が連続的に入力される場合を想定する。図 4 の I P スケジューリング部 4 1 でのスケジューリングの結果、パケット 2 がオーバーフロー状態で廃棄されたとする。スケジューリングされた残りの I P パケット 1、3 および 4 は、フォーマット変換部 4 2 で A T M セルに変換され、それぞれ 3 セル、4 セルおよび 4 セルに分割される。更に、A T M スケジューリング部 4 3 によって、I P パケット 1 から分割された 1 セルおよび I P パケット 3 から分割された 1 セルがそれぞれ廃棄されたとする。この場合には、図 5 中に X 印で示す如く、全体的に 1 パケット（即ちパケット 2）および 2 セル（パケット 1 およびパケット 4 の各 1 セル）が廃棄されたことになる。しかし、対向装置等において I P パケットを再構築する際には、I P パケット 1 および I P パケット 4 は、セル欠落のために構築できず、結果的に I P パケット 3 のみの転送しかできないことになる。

【 0 0 0 6 】

【発明の目的】

従って、本発明の目的は、上述した従来技術の課題を解決し、セル損失が極力排除され、高信頼性のスケジューリング回路を提供することである。

【 0 0 0 7 】

【課題解決のための手段】

本発明のスケジューリング回路は、I P パケットが A T M セル上にマッピングされるデータグラムを処理する装置において、A T M スケジューリング部で輻輳

を検出したとき、IPスケジューリング部に対してバックプレッシャー制御を行い、パケット単位で一括して廃棄することが可能なスケジューリング回路を提供する。そのため、本発明によるスケジューリング回路は、受信したIPパケットのIPスケジューリングを行うと共にIPパケットからATMセルへの変換を行うIPスケジューリング部／フォーマット変換部と、このIPスケジューリング部／フォーマット変換部のパケットFIFOからATMセルに分割されたセルが書き込まれる複数のセルFIFOと、このセルFIFOからの1セル単位の出力を受けてATMスケジューリングするATMスケジューリング部とを備える。

【 0 0 0 8 】

本発明のスケジューリング回路の好適実施形態によると、ATMスケジューリング部は、あるセルがスケジューリングされる際に同一VCIの次セルの論理的送出時刻が算出され、この算出値によりセルがスケジューリングされないと判定されると、セルFIFOに対して入力禁止信号を送出する。IPスケジューリング部／フォーマット変換部のパケットFIFOがオーバーフローした場合の廃棄は、IPスケジューリング部／フォーマット変換部によりパケット単位に行う。また、ATMスケジューリング部は、ATMセルのVCIをセルのヘッダから識別するセル到着識別部を備える。更に、ATMスケジューリング部は、VCI番号を時間単位で管理する論理的送出時刻管理メモリ、現在時刻を生成する現在時刻カウンタ、到着セルの現在時刻および論理的送出時刻を比較する論理的送出時刻比較／更新回路、セルの送出時刻を決定する送出時刻決定回路およびセル到着識別部の出力を受け、現在時刻カウンタが生成する現在時刻および送出時刻決定回路からの送出時刻によりスケジューリングされたATMセルを送出する競合制御メモリを備える。

【 0 0 0 9 】

【発明の実施の形態】

以下、本発明によるスケジューリング回路の好適実施形態の構成および動作を、添付図、特に図1～図3を参照して詳細に説明する。

【 0 0 1 0 】

先ず図1は、本発明によるスケジューリング回路の好適実施形態の構成を示す

ブロック図である。図 1 に示すスケジューリング回路は、IP スケジューリング部／フォーマット変換部 1 1、セル F I F O (先入れ先出しメモリ) 1 2 および A T M スケジューリング部 1 3 より構成される。また、IP スケジューリング部／フォーマット変換部 1 1 は、パケット F I F O 1 1 1 を有する。

【 0 0 1 1 】

最初に、IP スケジューリング部／フォーマット変換部 1 1 にて、装置内部から受信される IP パケットの IP スケジューリングが行われる。続いて、該当 IP パケットから A T M セルへのフォーマット変換が行われる。IP スケジューリング部によるスケジューリングは、IP 単位で行われている。スケジューリングされた IP パケットは、フォーマット変換部においてネットワーク操縦者によって割り当てられる V C I 番号を有した A T M セルへのマッピングが行われ、この V C I 単位にキューイングが行われる。即ち、IP スケジューリングに必要とされるパケット F I F O 1 1 1 を V C I 単位に有する。各 V C I のパケット F I F O 1 1 1 からは、IP パケットが各パケットを構成する A T M セルに分割され、分割された数のセルがセル F I F O 1 2 に書き込まれる。セル F I F O 1 2 から、周知のラウンドロビン法を用いて 1 セル毎に A T M スケジューリング部 1 3 に出力され、セル単位のスケジューリングが行われる。

【 0 0 1 2 】

A T M スケジューリング部 1 3 では、あるセルがスケジューリングされる際に、同一 V C I の次セルの理論的送出時刻が算出される。その値によって、該当セルがスケジューリングされるか否かの判定が行われる。スケジューリングされないと判定された時点で、該当 V C I のセル F I F O 1 2 に対して入力禁止信号を送出し、セル F I F O 1 2 からのセル出力を抑制している。換言すれば、A T M セルがスケジューリングできない状態のときに、該当 V C I に対してバックプレッシャー制御を行うことで、セル単位での廃棄がされない処理となっている。セル F I F O 1 2 からは、1 セル単位で A T M スケジューリング部 1 3 に渡される。1 つの IP パケットから分割された全てのセルが A T M スケジューリング部 1 3 に送出された時点で、IP スケジューリング部／フォーマット変換部 1 1 へ制御信号 Co を送出し、新たな IP パケットをパケット F I F O 1 1 1 から受信して

再び分割処理を行う。パケット F I F O 1 1 1 がオーバーフローした場合の廃棄は、パケット単位で I P スケジューリング部／フォーマット変換部 1 1 にて行われることとなる。

【 0 0 1 3 】

A T M スケジューリング部 1 3 におけるスケジューリングの動作例を、図 2 を参照して説明する。図 2 は、A T M スケジューリング部 1 3 の詳細構成を示すブロック図である。この A T M スケジューリング部 1 3 は、セル到着識別部 2 1、論理的送出時刻管理メモリ 2 2、現在時刻カウンタ 2 3、論理的送出時刻比較／更新回路 2 4、送出時刻決定回路 2 5、パラメータメモリ 2 6、加算回路 2 7 および競合制御メモリ 2 8 より構成される。

【 0 0 1 4 】

装置内部から A T M セルが A T M スケジューリング部 1 3 に到着すると、セル到着識別部 2 1 にて A T M セルの V C I がセルのヘッダから識別される。論理的送出時刻管理メモリ 2 2 は、V C I 単位に、その V C I 番号をヘッダに持つセルが出力されるべき時刻を内部変数として時間単位で管理しており、アドレスが V C I 番号、データが論理的送出時刻となるメモリ構造を有する。セル到着識別部 2 1 で識別された V C I は、論理的送出時刻管理メモリ 2 2 に渡され、上述した V C I によって参照される論理的送出時刻を読み出す。そして、論理的送出時刻比較／更新回路 2 4 により、現在時刻カウンタ 2 3 によって生成される到着セルの現在時刻が論理的送出時刻より大か否かを比較し、大のとき即ちセルの到着時刻が論理的送出時刻より遅いときは、論理的送出時刻を到着時刻で更新する。これは、この条件に当てはまるときは、該当 V C I の到着トラフィックが申告値を下回っていることと等価である。そのため、この到着時刻を新たな基準として再びその時刻から次以降に到着するセルのスケジューリングを行う必要があることに起因する。

【 0 0 1 5 】

論理的送出時刻比較／更新回路 2 4 によって決定されたセルの論理的送出時刻は、送出時刻決定回路 2 5 によって該当セルが出力される時刻の決定に用いられる。このようにして決定された時刻は、競合制御メモリ 2 8 に渡され、これをア

ドレスとしてセル到着識別部 2 1 からのセルを書き込む。そして、競合制御メモリ 2 8 は、アドレスが個々のセルの送出されるべき時刻、データがセル自体となるメモリ構造を有する。より具体的には、到着したセルの現在時刻が理論的送出時刻比較／更新回路 2 4 で更新された理論的送出時刻より小か否かを比較し、小のとき即ちセルが理論的送出時刻より早く到着しすぎたときは、理論的送出時刻に該当セルが送出されるように送出時刻を決定することで、申告レートに従ったスケジューリングを行うようにしている。

【 0 0 1 6 】

一方、該当 V C I の次セルが送出されるべき時刻を、理論的送出時刻に対してパラメータメモリ 2 6 から読み出されるセルの間隔を加算回路 2 7 で足し合わせることで決定させ、理論的送出時刻管理メモリ 2 2 に書き込む。パラメータメモリ 2 6 には、各 V C I 毎に予めネットワーク操縦者から設定される、申告レートの逆数がセルの送出間隔として格納されており、V C I 番号をアドレスとする各セルの送出間隔が参照され得るデータ構造を有している。競合制御メモリ 2 8 からの送出は、現在時刻カウンタ 2 3 によって決定される現在時刻によってシーケンシャルに行われる。送出時刻決定回路 2 5 にて決定されるセルの送出時刻に至るまで、該当セルを一時格納する処理を行っている。セルが競合制御メモリ 2 8 に書き込めない状態、換言すればセルが装置内部にて輻輳状態となっていることの判断は、加算回路 2 7 で足し合わせる理論的送出時刻の値が競合制御メモリ 2 8 にて管理され得る時刻を超越する場合であり、このとき入力禁止信号をセル F I F O 1 2 に対して出力する。

【 0 0 1 7 】

次に、本発明によるスケジューリング回路が実際に処理する具体的なデータグラムを用いて、動作を説明する。図 3 は、本発明によるスケジューリング回路における処理の流れを表すデータグラムの流れである。図 3 のデータグラムによれば、I P パケット 1 が到着後、フォーマット変換において 3 セル（セル 1 - 1、1 - 2 および 1 - 3）に分割されたとする。セル 1 - 1 およびセル 1 - 2 については、A T M スケジューリング部 1 3 にて送出時刻が決定される。しかし、セル 1 - 3 がスケジューリングできないとき、換言すればセル 1 - 2 の送出決定時刻

において、次セル 1 - 3 の理論的送出時刻に対するスケジューリングが不可能となったとき、セル F I F O 1 2 に対して入力禁止信号を送出し、セル 1 - 3 をメモリに空きが生じる契機まで、セル F I F O 1 2 に滞留させておく。セル F I F O 1 2 から I P スケジューリング部／フォーマット変換部 1 1 への制御信号 C o は、該当パケットを構成する全てのセルのスケジューリング処理が終わったとき、即ちセル F I F O 1 2 が空になったとき送出される。そこで、結果的に図 3 における I P パケット 2 が I P スケジューリング部／フォーマット変換部 1 1 のパケット F I F O 1 1 1 に残留することとなり、I P パケット単位で遅延される。このように、I P パケット 2 からのセル分割処理は、セル 1 - 3 がスケジューリング可能となった後で行われることとなる。

【 0 0 1 8 】

以上、本発明によるスケジューリング回路の好適実施形態の構成および動作を詳述した。しかし、斯かる実施形態は、本発明の単なる例示に過ぎず、何ら本発明を限定するものではない。本発明の要旨を逸脱することなく、特定用途に応じて種々の変形変更が可能であること、当業者には容易に理解できよう。

【 0 0 1 9 】

【発明の効果】

以上説明した構成図および具体的なデータグラムを用いた処理動作から理解される如く、本発明のスケジューリング回路によると、データグラムの廃棄は全て I P パケット単位で行われることとなる。その理由は、A T M スケジューリング部にて輻輳を検出した際に、バックプレッシャー制御を I P パケットからのフォーマット変換部に対して施されるからである。換言すれば、A T M セル単位での廃棄が行われることが皆無となる。その結果、対向装置等で I P パケットを再構築する際に復元率を高くすることとなり、全体として I P パケットのスループットが高い通信ネットワークを提供できるという実用上の顕著な効果が得られる。

【図面の簡単な説明】

【図 1】

本発明によるスケジューリング回路の好適実施形態の構成を示すブロック図である。

【図 2】

図 1 に示すスケジューリング回路中における A T M スケジューリング部の詳細構成を示すブロック図である。

【図 3】

図 1 に示すスケジューリング回路による具体的なデータグラムを用いた処理動作の説明図である。

【図 4】

従来のスケジューリング回路の構成を示すブロック図である。

【図 5】

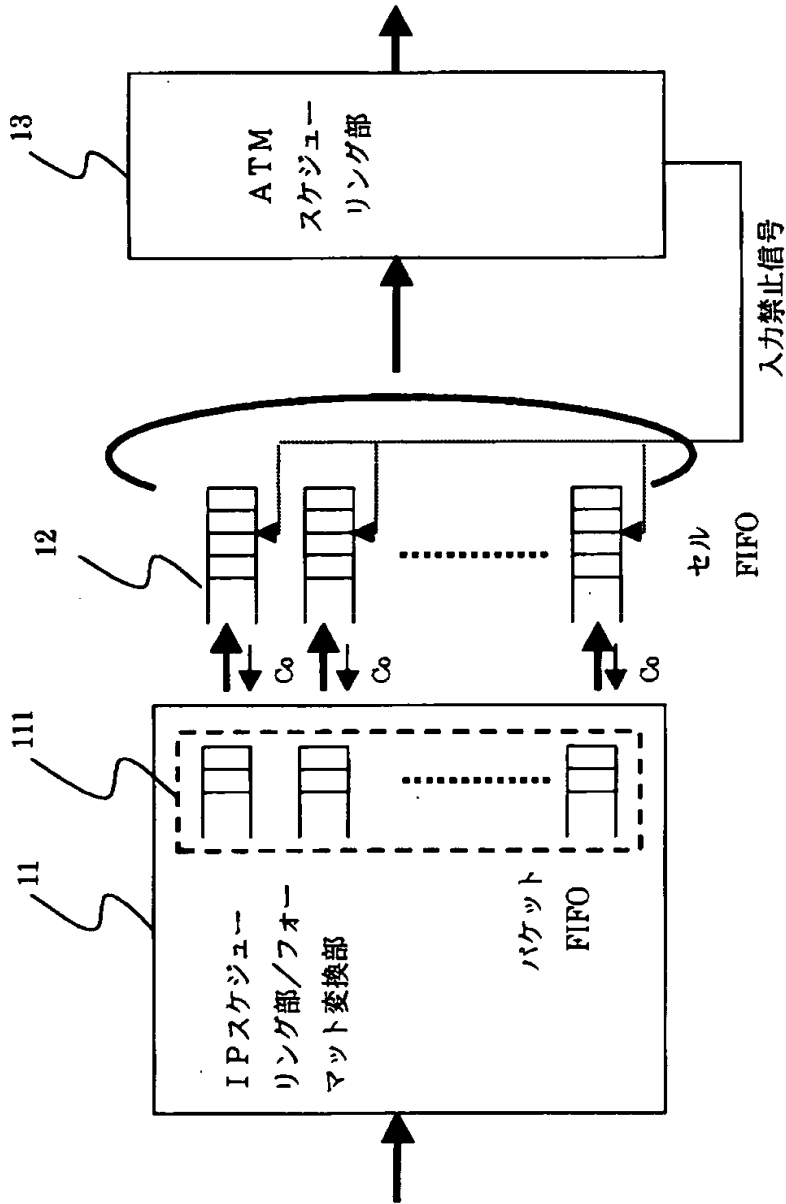
従来のスケジューリング回路による具体的なデータグラムを用いた処理動作の説明図である。

【符号の説明】

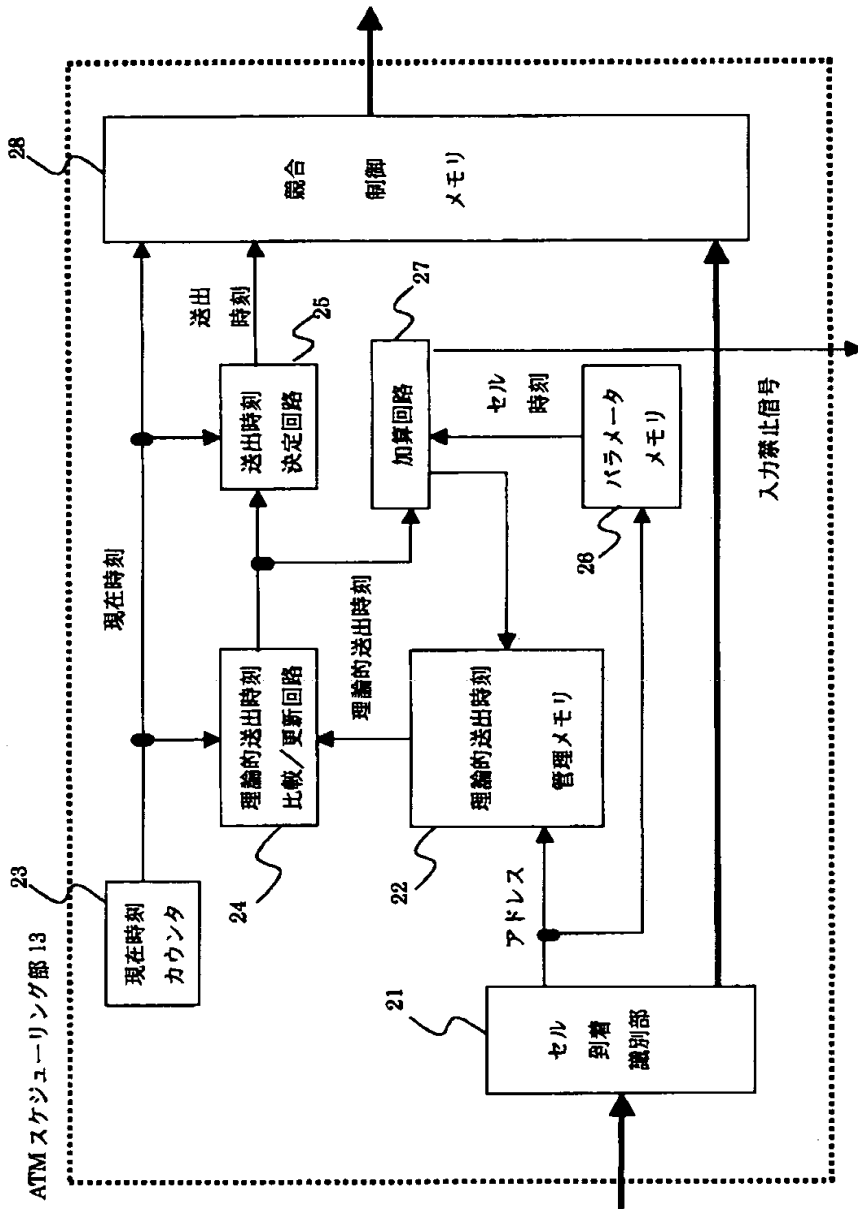
- 1 1 I P スケジューリング部／フォーマット変換部
- 1 1 1 パケット F I F O
- 1 2 セル F I F O
- 1 3 A T M スケジューリング部
- 2 1 セル到着識別部
- 2 2 理論的送出時刻管理メモリ
- 2 3 現在時刻カウンタ
- 2 4 理論的送出時刻比較／更新回路
- 2 5 送出時刻決定回路
- 2 6 パラメータメモリ
- 2 7 加算回路
- 2 8 競合制御メモリ

【書類名】 図面

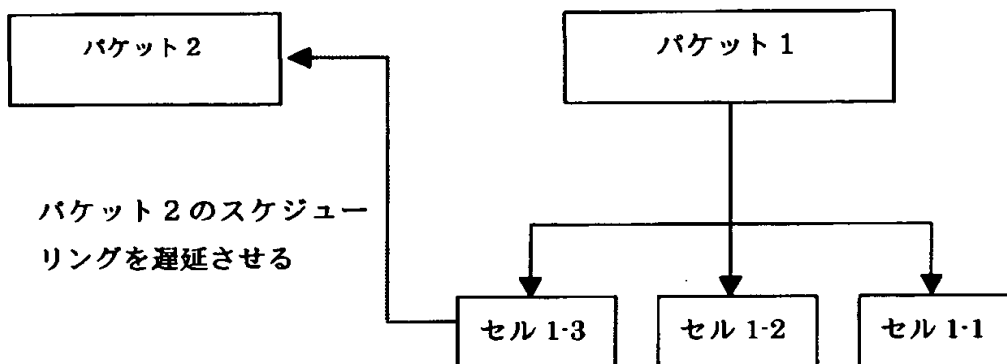
【図 1】



【図 2】

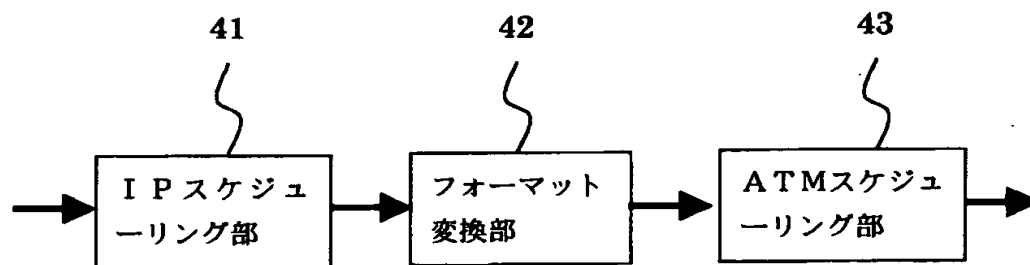


【図 3】

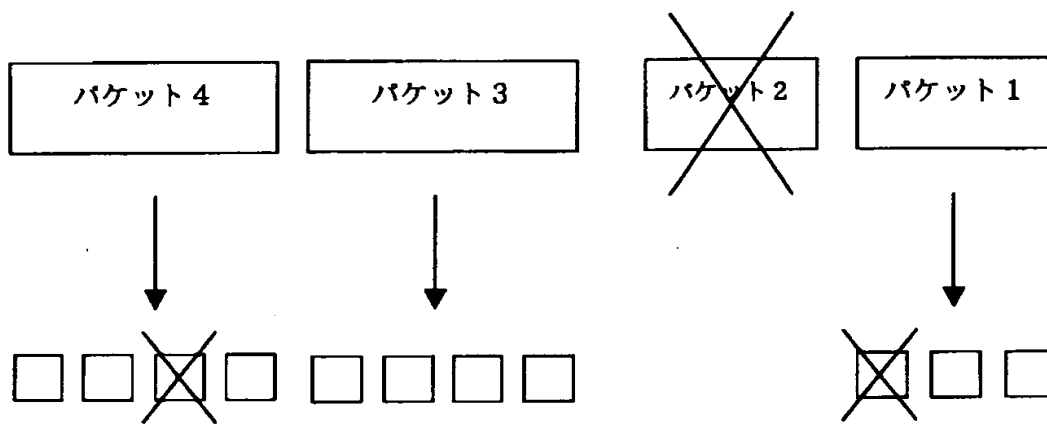


ATMスケジュールリング部における
理論的送出時刻により、スケジュール
不可と判明

【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 従来のスケジューリング回路に対してセル損出を極力排除すると共に高信頼性の I P パケット転送を可能にするスケジューリング回路を提供する。

【解決手段】 パケット F I F O 1 1 1 を含み受信 I P パケットの I P スケジューリングおよび I P パケットから A T M セルへ変換する I P スケジューリング部／フォーマット変換部 1 1、その出力側に接続された複数のセル F I F O 1 2 およびこれらセル F I F O 1 2 から出力されるセル単位の出力を A T M スケジューリングする A T M スケジューリング部 1 3 より構成される。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社